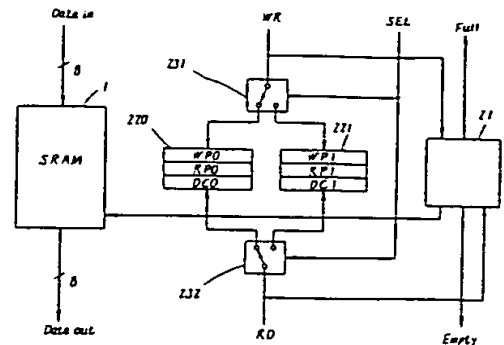


(54) FIFO CONTROLLER

(11) 1-163862 (A) (43) 28.6.1989 (19) JP
 (21) Appl. No. 62-323357 (22) 21.12.1987
 (71) YOKOGAWA ELECTRIC CORP (72) SUSUMU NAKAMURA
 (51) Int. Cl.⁴ G06F13/12, G06F5/06, G06F13/38

PURPOSE: To increase the efficiency of a whole system by preventing data inputted to a First In First Out (FIFO) from being wasted even in the system in which a channel is frequently switched.

CONSTITUTION: A writing point WP0, a reading pointer RP0 and a difference pointer DC0 are set at a 0 channel 220, a writing pointer WP1, a reading pointer RP1 and a difference pointer DC1 are set at a 1 channel 221, a writing channel switch 231 and a reading channel switch 232 are provided, and the channel switches 231 and 232 are controlled by a channel switching signal SEL. Here, when the channels 220 and 221 are switched, an access is prohibited for the data which are made effective by the former channels, and the data on the FIFO can be prevented from being wasted even in the system in which the channel is frequently switched. Thus, the efficiency of the whole system can be increased.



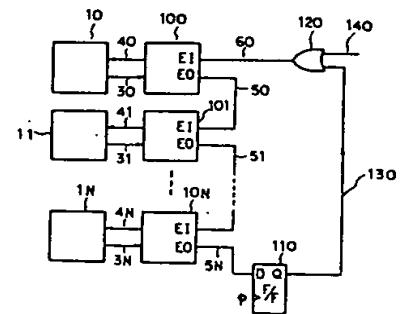
21: SRAM control part

(54) PREFERENCE SELECTOR CIRCUIT

(11) 1-163863 (A) (43) 28.6.1989 (19) JP
 (21) Appl. No. 62-321486 (22) 21.12.1987
 (71) OKI ELECTRIC IND CO LTD (72) HIROSHI INOUE(1)
 (51) Int. Cl.⁴ G06F13/26

PURPOSE: To freely add a preference by adding the preference which successively and rotatingly moves to a daisy-chain-connected preference control means.

CONSTITUTION: When outputs 5N of the connection ends of daisy-chain-connected plural preference control means 100~10N are delayed through a flip 110, etc., by the prescribed time of a selection deciding time, the preference control means holds the fact of selection as long as the selection and a request exist. Thereafter, when the request of the selected device disappears, the preference control means of the immediate low-order of the preference control means 100~10N of the device is made into the highest-order of the preference, and the preference control means selected last time is made into the lowest-order of the preference. Consequently, the rotating system preference can be added to the respective preference control means 100~10N. Thus, the preference selector means which can freely add the preference can be obtained.



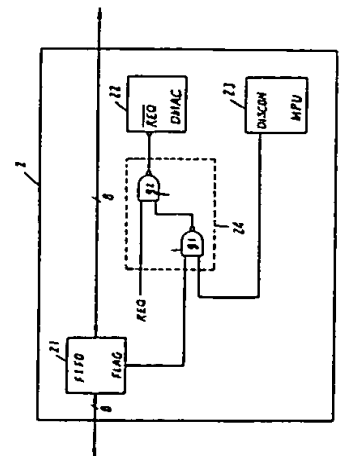
10~1N: buffer, 140: resetting signal

(54) SCSI HOST ADAPTER

(11) 1-163864 (A) (43) 28.6.1989 (19) JP
 (21) Appl. No. 62-323358 (22) 21.12.1987
 (71) YOKOGAWA ELECTRIC CORP (72) SUSUMU NAKAMURA
 (51) Int. Cl.⁴ G06F13/38, G06F5/06, G06F13/28

PURPOSE: To improve performance efficiently by inputting the disconnecting signal of a microprocessor and a flag from a FIFO storing the data of a constant quantity to an SCSI host adapter, and deciding the execution or interruption of a DMA action.

CONSTITUTION: In an SCSI (Small Computer System Interface) host adapter 2 having a First In First Out (FIFO) memory 21 used as a data buffer at the time of a direct memory access (DMA), a DMA action is controlled by a data quantity in the FIFO 21. That is, the SCSI host adapter 2 inputs a disconnecting signal DISCON 23 and a flag FLAG from the FIFO 21 storing the data of the constant quantity, and decides the execution or the interruption of the DMA action. Thus, the data to be discarded at the time of disconnection is made smaller, and a performance down at the time of the disconnection can be suppressed to a minimum.



24: control part, g1: first gate circuit, g2: second gate circuit

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-163864
 (43)Date of publication of application : 28.06.1989

(51)Int.CI. G06F 13/38
 G06F 5/06
 G06F 13/28

(21)Application number : 62-323358 (71)Applicant : YOKOGAWA ELECTRIC CORP

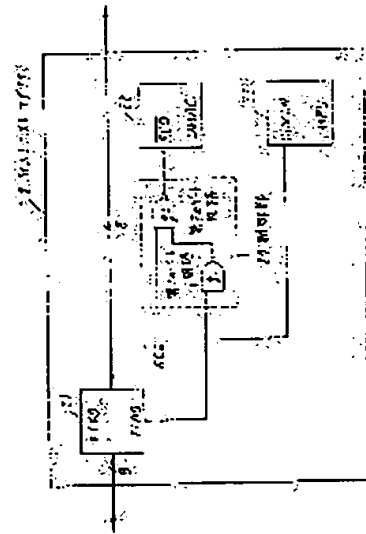
(22)Date of filing : 21.12.1987 (72)Inventor : NAKAMURA SUSUMU

(54) SCSI HOST ADAPTER

(57)Abstract:

PURPOSE: To improve performance efficiently by inputting the disconnecting signal of a microprocessor and a flag from a FIFO storing the data of a constant quantity to an SCSI host adapter, and deciding the execution or interruption of a DMA action.

CONSTITUTION: In an SCSI (Small Computer System Interface) host adapter 2 having a First In First Out (FIFO) memory 21 used as a data buffer at the time of a direct memory access (DMA), a DMA action is controlled by a data quantity in the FIFO 21. That is, the SCSI host adapter 2 inputs a disconnecting signal DISCON 'H' of a microprocessor 23 and a flag FLAG from the FIFO 21 storing the data of the constant quantity, and decides the execution or the interruption of the DMA action. Thus, the data to be discarded at the time of disconnection is made smaller, and a performance down at the time of the disconnection can be suppressed to a minimum.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]
[Number of appeal against
examiner's decision of rejection]
[Date of requesting appeal
against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-163864

⑬ Int.Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 平成1年(1989)6月28日
G 06 F 13/38	3 1 0	D-8840-5B	
5/06		Z-7230-5B	
13/28	3 1 0	G-8840-5B	審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 SCS I ホスト・アダプタ

⑯ 特 願 昭62-323358

⑰ 出 願 昭62(1987)12月21日

⑱ 発 明 者 中 村 晋 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

SCS I ホスト・アダプタ

2. 特許請求の範囲

ホスト計算機と複数のデバイスとの通信動作に関与し、ダイレクト・メモリ・アクセスの際にデータ・バッファとして用いられる先入れ先出しメモリを有するSCS I ホスト・アダプタにおいて、前記先入れ先出しメモリに一定量のデータが格納されるとフラグが出力されるようにし、このフラグとマイクロプロセッサから与えられるディスク接続信号とよりダイレクト・メモリ・アクセス動作を制御する制御部を設けたことを特徴とするSCS I ホスト・アダプタ。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、ホスト計算機と、ディスク装置、テープ装置等の複数のデバイスとの通信動作に関与し、ダイレクト・メモリ・アクセス(以下DMAと呼ぶ)の際にデータ・バッファとして用いられ

る先入れ先出しメモリ(First In First Outメモリ; 以下FIFOと呼ぶ)を有するSCS I (Small Computer System Interface) ホスト・アダプタの改良に関するものである。

<従来の技術>

上記のようなSCS I ホスト・アダプタを計算機システムに用いた例を第2図に表わす。

この図のシステムは、プロセッサμP11とメモリRAM12を有するホスト計算機CPU1と、システム・バスSBを介して接続されるFIFO21を有するSCS I ホスト・アダプタ2と、入出力バスであるSCS I バスBに接続される複数のデバイス即ちディスク装置31、テープ装置32とから構成される。

SCS I ホスト・アダプタ2は、内部のFIFO21をデータ・バッファとして、CPU1内のRAM12とディスク装置31またはテープ装置32との間でDMA転送を制御している。

<発明が解決しようとする問題点>

ここで、SCS I ホスト・アダプタ2がFIFO

021を用いてRAM12とテープ装置32との間でデータ転送している場合を想定する。

このとき、何等かの理由により、テープ装置32とのデータ転送を中断して、先にディスク装置31へデータ転送を行う要求が発生したとする。尚、デバイス（この例ではテープ装置32またはディスク装置31）とのデータ転送を中断する機能をディスコネクト機能と呼ぶ。

この場合、FIFO21内部にテープ装置32へ転送すべきデータが既に大量に格納されていたとすると、SCSIホスト・アダプタ2はディスク装置31へ転送すべきデータを新たに取り込むため、FIFO21内のデータを全て捨てなければならず、パフォーマンス・ダウンにつながるという問題があった。

即ち、ディスコネクト時にFIFO内のデータを捨てるとすると、このデータをCPU側から取り込むために要したシステム・バス占有時間が全く無駄となるわけである。

本発明は以上の問題を解決しようとしてなされ

たものであり、システムのパフォーマンスの効率の向上を図ることを目的とする。

＜問題を解決するための手段＞

本発明は、FIFO内のデータ量によってDMA動作を制御するものであり、その構成は次の通りである。

即ち、本発明は、ホスト計算機と複数のデバイスとの通信動作に関与し、ダイレクト・メモリ・アクセスの際にデータ・バッファとして用いられる先入れ先出しメモリを有するSCSIホスト・アダプタにおいて、前記先入れ先出しメモリに一定量のデータが格納されるとフラグが出力されるようにし、このフラグとマイクロプロセッサから与えられるディスコネクト信号とよりダイレクト・メモリ・アクセス動作を制御する制御部を設けたことを特徴とするSCSIホスト・アダプタである。

＜作用＞

本発明のSCSIホスト・アダプタは、マイクロプロセッサのディスコネクト信号と、一定量の

データを格納したFIFOからのフラグを入力し、DMA動作の実行または中断を決定する。

＜実施例＞

第1図に本発明を実施したSCSIホスト・アダプタの例を示す。

この図において、21はFIFOであり、内部のデータ量がある一定量に達したら“H”となるフラグFLAGを送出する。例えば、FIFO21の全容量を32Kバイトとし、データ量が2Kバイト時点でFLAG“H”を送出するものとする。

22はダイレクト・メモリ・アクセス・コントローラDMACであり、FIFO21を経由して行われるデータ転送を制御する。信号REQはDMAC22に対するリクエスト信号であり、REQ \overline{Q} = “L”でDMAC22はデータ転送を行う。

23はマイクロプロセッサMPUであり、CPU1からデータ転送に伴う各種のパラメータを受け取りDMAC22の制御その他を行う。また、MPU23は、ディスコネクト機能をサポートす

るデバイスがこのSCSIホスト・アダプタ2に接続された場合、そのデバイスへデータ転送を行う際に常にディスコネクト信号DISCON“H”を送出する。

24は制御部であり、第1のゲート回路g1と、第2のゲート回路g2よりなる。第1のゲート回路g1は、MPU23から信号DISCONを入力するとともにFIFO21からフラグFLAGを入力する。第2のゲート回路g2は、第1のゲート回路g1の出力とデバイス側またはホスト計算機側等で発生するDMA要求信号REQを入力し、その出力をDMAC22の起動信号とする。

このように構成された本発明のSCSIホスト・アダプタ2は次のように動作する。

MPU23は、現在、データ転送に関わるデバイスがディスコネクトを行うことがある場合には常に信号DISCON“H”を送出している。

さて、ディスコネクトの可能性のあるデータ転送先デバイスが決定し、DMAC22によりFIFO21が制御されてデータ転送が開始されたと

する。

そして、デバイス側からディスコネクト信号が与えられず、FIFO 21の容量が2Kバイトに達すると、FLAG "H"となる。

これにより、第1のゲート回路g1はDISCON "H"、FLAG "H"で出力は"L"となる。更にこの出力"L"は第2のゲート回路g2に与えられ、第2のゲート回路g2はいずれかで発生するDMA要求信号REQを遮断し、DMAC 22にはDMA禁止信号("H")が与えられ、DMAは中断する。

即ち、FIFO 21は本来32Kバイトの容量を有しているが、ディスコネクトする可能性のあるデバイスとのDMA時には、見かけ上、常に2Kバイトの容量のFIFOとして使用されることになる。これにより、従来方式であるとディスコネクト時に最大32Kバイトのデータが捨てられシステムの無駄が発生していたが、本発明によればディスコネクト時に捨てるデータは最大2Kバイトで済み、ディスコネクト時のパフォーマンス

ス・ダウンを最小限に抑えることができる。

<発明の効果>

本発明のSCSIホスト・アダプタは、マイクロプロセッサのディスコネクト信号と、一定量のデータを格納したFIFOからのフラグを入力し、DMA動作の実行または中断を決定するので、システムにおける無駄を抑えることができ、パフォーマンスの効率の向上を図ることができる。

4. 図面の簡単な説明

第1図は本発明を実施したSCSIホスト・アダプタの構成ブロック図、第2図は従来のSCSIホスト・アダプタを用いた際のシステム図である。

- 1…ホスト計算機CPU、11…プロセッサMP、12…メモリRAM、
- 2…SCSIホスト・アダプタ、21…FIFO、22…ダイレクト・メモリ・アクセス・
- コントローラDMAC、
- 23…マイクロプロセッサMPU、24…制御部、
- g1…第1のゲート回路、

g2…第2のゲート回路、

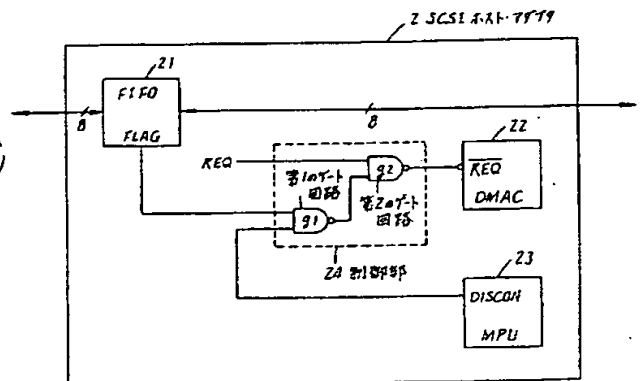
31…ディスク装置、32…テープ装置、

SB…システム・バス、B…SCSIバス。

代理人 井理士 小沢信



第1図



第2図

